

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09181278 A

(43) Date of publication of application: 11.07.97

(51) Int. Cl

H01L 27/108

H01L 21/8242

H01L 27/04

H01L 21/822

(21) Application number: 08334285

(22) Date of filing: 13.12.96

(30) Priority: 19.12.95 KR 95 9551930

(71) Applicant: **LG SEMICON CO LTD**

(72) Inventor: **UON-JU CHOO**
UOUNZU YAN

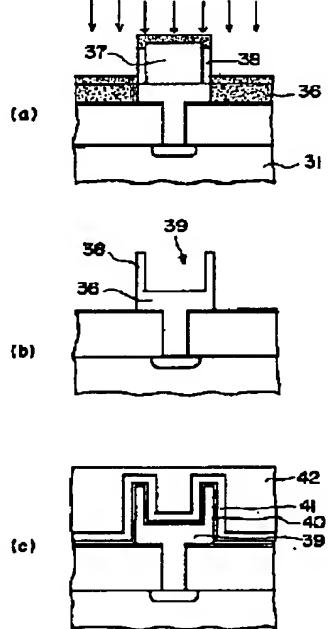
(54) MANUFACTURE OF CAPACITOR

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method by which a highly reliable capacitor which is free from electric field concentration can be manufactured by preventing the upper end of a cylinder type lower electrode from becoming sharp.

SOLUTION: After a supporting body 37 is formed on a first conductive layer 36 and a second conductive layer 38 is formed on the entire surface of the layer 36 including the supporting body 37, oxygen ions are selectively implanted into the conductive layers 36 and 38. Then, after the parts of the layer 36 and 38 containing implanted oxygen ions are transformed into oxide films through heat treatment, a bottomed cylindrical lower electrode 39 is formed by removing the oxide films.

COPYRIGHT: (C)1997,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-181278

(43)公開日 平成9年(1997)7月11日

(51)Int.Cl.⁶
H 0 1 L 27/108
21/8242
27/04
21/822

識別記号

庁内整理番号

F I

H 0 1 L 27/10
27/04

6 2 1 C
C

技術表示箇所

(21)出願番号 特願平8-334285

(22)出願日 平成8年(1996)12月13日

(31)優先権主張番号 1995P-51930

(32)優先日 1995年12月19日

(33)優先権主張国 韓国 (KR)

(71)出願人 595084025

エルジイ・セミコン・カンパニイ・リミテ
ッド

大韓民国 360-480 チュングチェオンブ
グード チェオンジューシ ヒュングドゥ
クーグ ヒヤンギエオンドン 1

(72)発明者 ウォン-ジュ チョー

大韓民国 チュングチェオンブグード チ
エオンジューシ ヒュングドゥクーグ ボ
ングミュンドン 353-3 エルジニア
パートK-803

(74)代理人 弁理士 萩原 誠

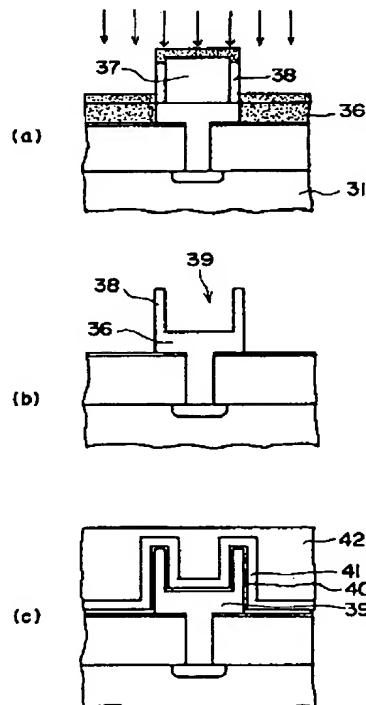
最終頁に続く

(54)【発明の名称】 キャパシタの製造方法

(57)【要約】

【課題】 シリンダ型下部電極の上端が尖鋭化することを防止し、電界集中のない高信頼性のキャパシタを製造することができるキャパシタの製造方法を提供すること。

【解決手段】 第1導電層36上に支持体37を形成し、この支持体37を覆って全面に第2導電層38を形成した後、第1、第2導電層36、38に選択的に酸素イオンを注入する。その後、酸素イオンの注入部分を熱処理で酸化膜に変換した後、酸化膜を除去することにより、有底筒状の下部電極39を形成する。



【特許請求の範囲】

【請求項1】 基板上に第1導電層を形成する工程と、前記第1導電層上に柱状の支持体を形成する工程と、前記支持体を覆って前記第1導電層上に第2導電層を形成する工程と、前記支持体下面の前記第1導電層と前記支持体側面の前記第2導電層を除いて、前記第1、第2導電層に酸素イオンを注入する工程と、前記酸素イオンが注入された部分の前記第1、第2導電層を熱処理により酸化膜に変化させる工程と、前記酸化膜および前記支持体を除去し、残存第1、第2導電層からなる有底筒状の下部電極を形成する工程と、前記下部電極の表面に誘電体膜を形成し、さらに下部電極を覆うように上部電極を形成する工程とを具備することを特徴とするキャパシタの製造方法。

【請求項2】 基板上に第1導電層を形成する工程と、前記第1導電層上に柱状の支持体を形成する工程と、前記支持体を覆って前記第1導電層上に第2導電層を形成する工程と、前記支持体側面の前記第2導電層の側面部にマスク層を形成する工程と、前記マスク層をマスクとして前記支持体側面の前記第2導電層および前記支持体下面の前記第1導電層を除いて、前記第1、第2導電層に酸素イオンを注入する工程と、前記酸素イオンが注入された部分の前記第1、第2導電層を熱処理により酸化膜に変化させる工程と、前記酸化膜、前記支持体および前記マスク層を除去し、残存第1、第2導電層からなる有底筒状の下部電極を形成する工程と、前記下部電極の表面に誘電体膜を形成し、さらに下部電極を覆うように上部電極を形成する工程とを具備することを特徴とするキャパシタの製造方法。

【請求項3】 請求項1または2記載のキャパシタの製造方法において、前記酸素イオンの注入は、不活性ガス雰囲気中で実施することを特徴とするキャパシタの製造方法。

【請求項4】 請求項1または2記載のキャパシタの製造方法において、第1、第2導電層は、不純物がドーピングされたポリシリコンからなることを特徴とするキャパシタの製造方法。

【請求項5】 請求項1または2記載のキャパシタの製造方法において、前記支持体は、前記第1導電層上の全面にシリコン酸化膜を形成した後、このシリコン酸化膜をパターニングすることにより形成されることを特徴とするキャパシタの製造方法。

【請求項6】 請求項2記載のキャパシタの製造方法において、前記マスク層は、前記第2導電層上の全面にシリコン酸化膜またはシリコン窒化膜を形成した後、これをエッチバックすることにより形成されることを特徴と

するキャパシタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はDRAMセルに用いられるキャパシタ、特にシリンダ型のキャパシタの製造方法に関する。

【0002】

【従来の技術】 DRAM半導体デバイスは、DRAMセルごとに電荷貯蔵用キャパシタが形成されるが、高集積化のためには、少ない面積に大容量のキャパシタを形成することが緊要である。そこで、下部電極を筒状、すなわちシリンダ型とすることが行われている。

【0003】 図5および図6は、従来のシリンダ型キャパシタの製造方法を工程順に示す断面図である。この方法は、特開平6-151748号あるいは特開平6-196649号などに開示される。この方法では、まず図5(a)に示すように、不純物拡散領域11を形成した基板12上に酸化膜13と窒化膜14を順次蒸着する。次に、窒化膜14にレジストパターンをマスクとして開口部を形成した後、その窒化膜14をマスクとして酸化膜13をエッチングすることにより、この酸化膜13にコンタクトホール15を形成する。次に、コンタクトホール15を埋めて窒化膜14上の全面に下部電極の底部を形成するための導電層(不純物ドープのポリシリコン層)16を形成する。次に、導電層16上に酸化膜を蒸着し、パターニングすることにより、導電層16上に図5(b)に示すように柱状の支持体17を形成する。次に、支持体17を覆って導電層16の表面に図5(c)に示すように導電層18を形成した後、導電層18と導電層16を異方性ドライエッティングでエッティングすることにより、図6(a)に示すように導電層18、16を支持体17の側面部および底部のみに残し、有底筒状の下部電極19を形成する。次に、支持体17を除去し、下部電極19を中空状とした後、図6(b)に示すように下部電極19の全表面にキャパシタ誘電体膜20を形成し、さらにこのキャパシタ誘電体膜20を挟んで下部電極19の全表面を覆うようにポリシリコンでキャパシタの上部電極21を形成することにより、キャパシタを完成させる。

【0004】 図7は、特開平6-151747号に開示されるような従来の他の方法である。この方法では、図5および図6に示した方法において導電層18、16を異方性ドライエッティングでエッティングして下部電極19を形成する際、図7(a)、(b)に示すように導電層18の側面にマスク22を形成しておくものである。その他は図5および図6の方法と同一である。

【0005】

【発明が解決しようとする課題】 しかるに、上述したいずれの方法においても、導電層18、16を異方性ドライエッティングでエッティングしているので、シリンダ型下

部電極19の上端が尖った形状(図5および図6の方法では支持体17に接する片側で尖り、図7の方法では上端がU状となって内外両側で尖る)となる問題点があつた。そして、このように下部電極19の上端が尖ると、その部分において電界が集中し、誘電体膜20の劣化および漏洩電流の増加が生じるため、記憶容量の消失等を招き信頼性が低下する。特に、素子の集積度が高まることによって高誘電体膜の使用が必須であるが、誘電率と電界耐圧強度が反比例するので、下部電極19の上端の尖鋭化、その部分の電界集中は大きな問題点となる。

【0006】

【課題を解決するための手段】本発明は上述の課題を解決するために、次のようなキャパシタの製造方法とする。まず、基板上に第1導電層を形成する。次に、前記第1導電層上に柱状の支持体を形成する。次に、前記支持体を覆って前記第1導電層上に第2導電層を形成する。次に、前記支持体下面の前記第1導電層と前記支持体側面の前記第2導電層を除いて、前記第1、第2導電層に酸素イオンを注入する。次に、前記酸素イオンが注入された部分の前記第1、第2導電層を熱処理により酸化膜に変化させる。次に、前記酸化膜および前記支持体を除去し、残存第1、第2導電層からなる有底筒状の下部電極を形成する。次に、前記下部電極の表面に誘電体膜を形成し、さらに下部電極を覆うように上部電極を形成する。

【0007】また、本発明は次のようなキャパシタの製造方法とする。まず、基板上に第1導電層を形成する。次に、前記第1導電層上に柱状の支持体を形成する。次に、前記支持体を覆って前記第1導電層上に第2導電層を形成する。次に、前記支持体側面の前記第2導電層の側面部にマスク層を形成する。次に、前記マスク層をマスクとして前記支持体側面の前記第2導電層および前記支持体下面の前記第1導電層を除いて、前記第1、第2導電層に酸素イオンを注入する。次に、前記酸素イオンが注入された部分の前記第1、第2導電層を熱処理により酸化膜に変化させる。次に、前記酸化膜、前記支持体および前記マスク層を除去し、残存第1、第2導電層からなる有底筒状の下部電極を形成する。次に、前記下部電極の表面に誘電体膜を形成し、さらに下部電極を覆うように上部電極を形成する。

【0008】

【発明の実施の形態】次に添付図面を参照して本発明によるキャパシタの製造方法の実施の形態を詳細に説明する。図1および図2は本発明の実施の形態を工程順に示す断面図である。この実施の形態の方法では、まず図1(a)に示すように、半導体基板31の表面部に不純物拡散領域32を形成した後、半導体基板31上の全面に第1酸化膜33を形成し、さらにその上に窒化膜34を形成する。次に、写真食刻工程を実施して、不純物拡散領域32上で窒化膜34および第1酸化膜33を除去す

ることにより、この窒化膜34および第1酸化膜33に、不純物拡散領域32に到達するコンタクトホール35を形成する。次に、コンタクトホール35を埋めて窒化膜34上の全面に第1導電層36を形成する。この第1導電層36は、不純物がドーピングされたポリシリコンからなる。次に、第1導電層36上の全面に第2酸化膜(シリコン酸化膜)を蒸着し、パターニングすることにより、図1(b)に示すように、コンタクトホール35上において、第1導電層36上に柱状の支持体37を形成する。その後、支持体37を覆って第1導電層36の表面に図1(c)に示すように第2導電層38を形成する。この第2導電層38は、不純物ドープのポリシリコンからなる。

【0009】次に、図2(a)に示すように、アルゴンまたは窒素のような不活性ガス雰囲気内で、基板31の表面に対してほぼ垂直方向から酸素イオンを第2、第1導電層38、36に注入する。すると、支持体37上面の第2導電層38および支持体37がマスクとなって、支持体37側面の第2導電層38および支持体37下面の第1導電層36には酸素イオンが注入されないが、第1および第2導電層36、38のその他の部分には酸素イオンが注入される。しかる後、熱処理工程を実施して、酸素イオンが注入された部分の第1、第2導電層36、38をシリコン酸化膜に変化させる。その後、酸化膜に変化した部分を食刻により除去し、同時に支持体37も除去する。すると、第1および第2導電層36、38は、前記除去された支持体37の側面部および下面部に位置する部分のみが図2(b)に示すように有底筒状に残り、キャパシタの有底筒状の下部電極39が完成する。このとき、下部電極39の上端部は、前述のような不要部分の除去工程、すなわち酸素イオンを選択的に注入し酸化膜に変換し酸化膜を除去する工程を使用することにより、平坦になり、従来のように尖った形状にはならない。しかる後、図2(c)に示すように下部電極39の全表面にキャパシタ誘電体膜40を形成し、さらにこのキャパシタ誘電体膜40を挟んで下部電極39の全表面を覆うように不純物ドープポリシリコンでキャパシタの上部電極41を形成することにより、キャパシタを完成させる。その後は、全面を保護酸化膜42で覆うなどの後続工程が実行される。

【0010】図3および図4は本発明の第2の実施の形態を示す図である。この第2の実施の形態は、図4

(a)に示す酸素イオンの注入工程のみが図1および図2の第1の実施の形態と異なる。そこで、第1の実施の形態と同一部分については説明を省略し、図4(a)の酸素イオンの注入工程のみについて説明する。第2の実施の形態では、支持体37を覆って第1導電層36の表面に第2導電層38を形成した後(図3(c))、全面にシリコン酸化膜またはシリコン窒化膜を形成し、これ50をエッチバックすることにより、図4(a)に示すよう

に、支持体37側面の第2導電層38側面部を覆ってサイドウォールスペーサ(マスク層)43を形成する。そして、このサイドウォールスペーサ43を設けた状態で酸素イオンの注入を行う。すると、第1の実施の形態と同様に、支持体37側面の第2導電層38および支持体37下面の第1導電層36を除いて第1および第2導電層36, 38に酸素イオンが注入されるが、この場合は、支持体37側面の第2導電層38の下端において、サイドウォールスペーサ(マスク層)43の幅だけ広く酸素イオンの非注入領域を確保できる。したがって、次に熱処理して酸素イオン注入部分を酸化膜に変換し、その酸化膜を除去することによりシリンダ型の下部電極を形成したので、下部電極の上端が尖鋭化せず、電界集中を防止できる。したがって、高集積のDRAM素子においても信頼性の高いキャパシタを形成することができる。しかも、工程簡単にして高信頼性のキャパシタを製造できる。

【0011】

【発明の効果】このように本発明のキャパシタの製造方法によれば、導電層に選択的に酸素イオンを注入した後、酸素イオン注入部分を酸化膜に変換し、その酸化膜を除去することによりシリンダ型の下部電極を形成したので、下部電極の上端が尖鋭化せず、電界集中を防止できる。したがって、高集積のDRAM素子においても信頼性の高いキャパシタを形成することができる。しかも、工程簡単にして高信頼性のキャパシタを製造でき

る。また、酸素イオンの注入時、第2導電層の側面部をマスク層で覆っておけば、シリンダ型下部電極の筒状部下端で切断のないより信頼性の高い下部電極、延いてはキャパシタを製造できる。

【図面の簡単な説明】

【図1】本発明によるキャパシタの製造方法の実施の形態を工程順に示す断面図。

【図2】同実施の形態を示し、図1に続く工程を示す断面図。

【図3】本発明の第2の実施の形態を工程順に示す断面図。

【図4】同第2の実施の形態を示し、図3に続く工程を示す断面図。

【図5】従来のキャパシタの製造方法を工程順に示す断面図。

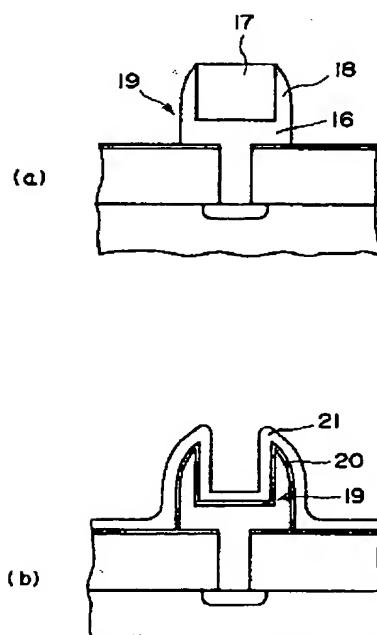
【図6】同従来の方法を示し、図5に続く工程を示す断面図。

【図7】従来の他の製造方法を示す断面図。

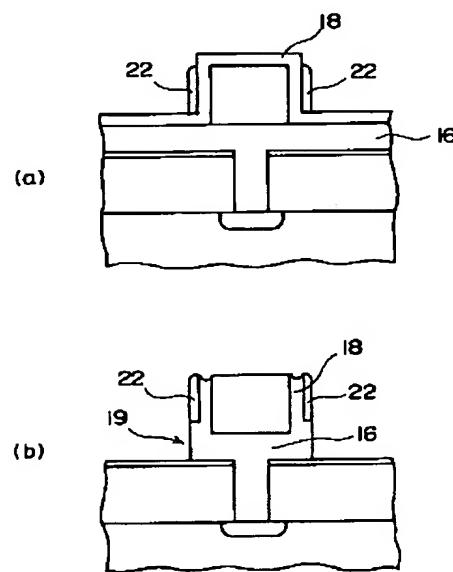
【符号の説明】

20	31	半導体基板
	36	第1導電層
	37	支持体
	38	第2導電層
	39	下部電極
	40	キャパシタ誘電体膜
	41	上部電極

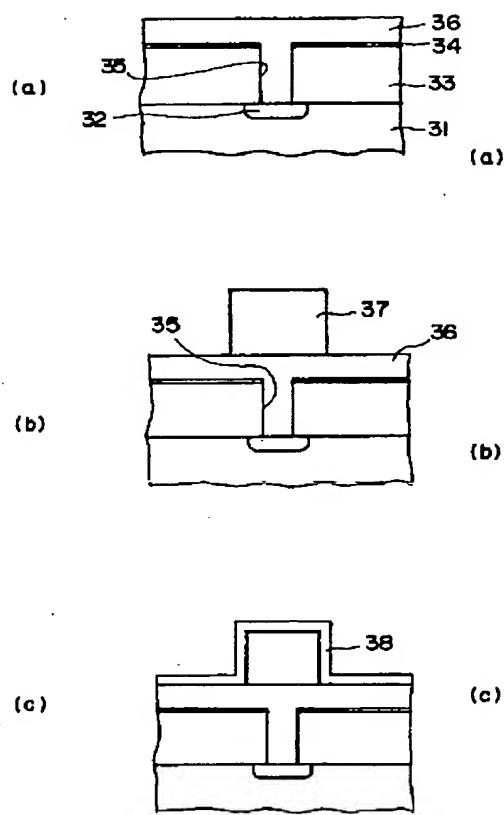
【図6】



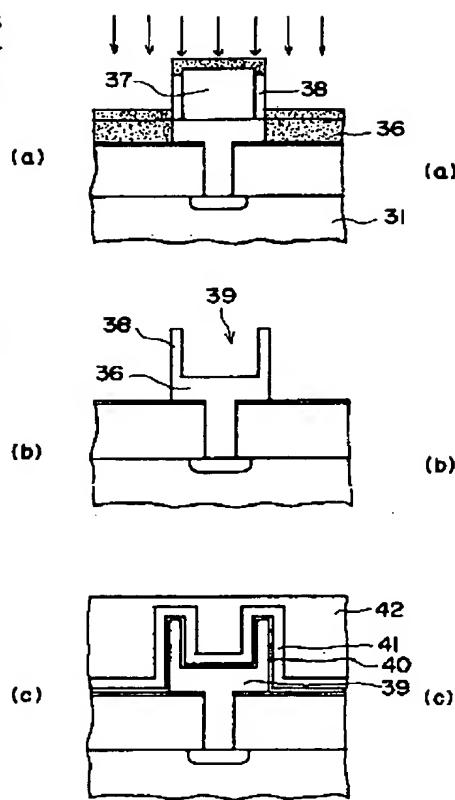
【図7】



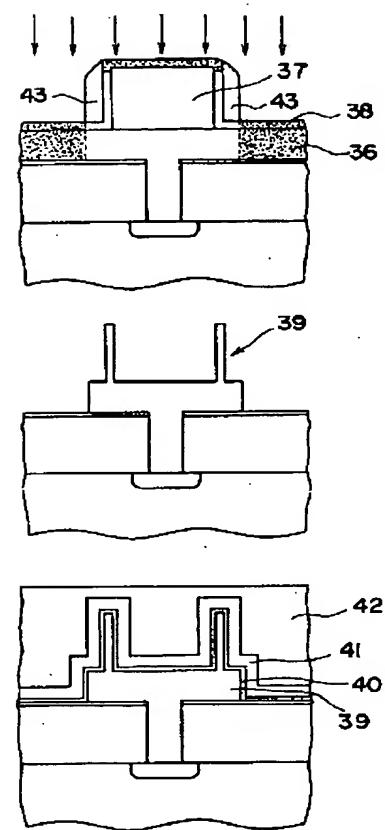
【図1】



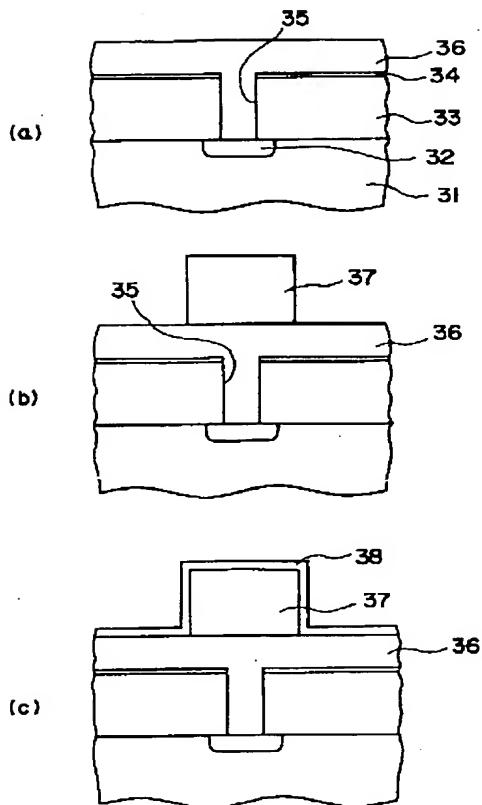
【図2】



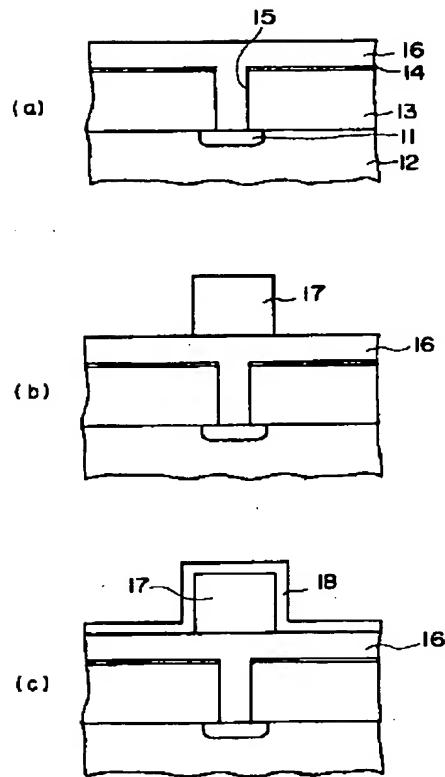
【図4】



【図3】



【図5】



フロントページの続き

(72)発明者 ウォウンズ ヤン
大韓民国 チュングチェオンブグード チ
エオンジューシ ヒュングドゥクーフ カ
グヤンードン 1-1508 シンラ アパー
ト